

<インターンシッププログラム募集要項:TSMC デザインテクノロジージャパン株式会社>

実施時期:2026年8月18日(火)～2026年9月18日(金)における計4週間 ※出勤日は柔軟に対応可能

実施場所: 以下いずれかのオフィス(配属先部門と調整のうえ決定)

1)横浜オフィス:

〒220-0012 神奈川県横浜市西区みなとみらい4-6-2

みなとみらいグランドセントラルタワー10階(「みなとみらい駅」より徒歩5分)

2)大阪オフィス:

〒541-0046 大阪府大阪市中央区平野町4丁目2-3

オービック御堂筋ビル13階(地下鉄 or 京阪本線「淀屋橋駅」または地下鉄「本町駅」より徒歩5分)

実施日数:計16日間(4日×4週間)※月～金の中で勤務日は調整可能

勤務時間:1日8時間

給与支給:給与支給あり ※交通費は別途全額支給。宿泊が必要な方は宿泊費補助のみ支給あり。

実施内容:半導体設計(メモリー、スタンダードセル、チップデザインなど)に関する業務、並びにトレーニング

インターンシップ応募方法:添付のエントリーフォームを5/31(日)までにHR 廣部(NHIROBE@TSMC.COM)へご提出ください。

・提出される際は、メールにてエントリーフォームを添付ください。(WordでもPDFでも構いません)

- ・(In English)とある個所は、英語も併記して頂ければと存じます。
- ・GPA が算出されない場合はご自身で計算頂き、算出方法も併せてメールでお知らせ下さい
- ・研究内容に関する詳細資料も、併せてメールに添付してください。(ファイル形式や言語は問いません)
- ・エントリーシートのページ数は合計 3 ページ以上となっても構いません。
- ・エントリーシート記入に当たっては、下記の情報に関して記載頂けますとプラスとして評価します。

1. 英語能力 (TOEIC スコアや留学経験など)
2. 半導体設計及び研究の経験もしくは講義の経験、スタンダードセルや SRAM などの知識
3. コーディングできるプログラミング言語 (Python, TCL, C 他)
4. 利用経験のある Synopsys 社、Cadence 社、Mentor 社の EDA ツール

ご不明な点がございましたら、お知らせください。

ご応募を心よりお待ちしております。

HR 人事部

Nanami Hirobe / 廣部 七海

TSMC Design Technology Japan Inc.

TSMC デザインテクノロジージャパン株式会社

Email: nhirobe-at-tsmc.com (-at-=@)